

Docket No.: 60188-811

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
Yoshihisa SHIMAZU, et al.	:	Confirmation Number:
Serial No.:	:	Group Art Unit:
Filed: March 22, 2004	:	Examiner: Unknown
For: IMAGE PROCESSING DEVICE AND CAMERA	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

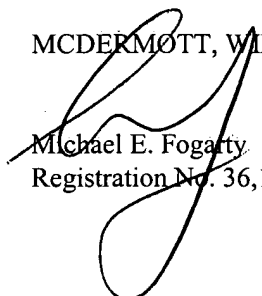
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-098836, filed April 2, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: March 22, 2004

60188-811
SHIMAZU, CT21.
March 22, 2004

日本国特許庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 4月 2日

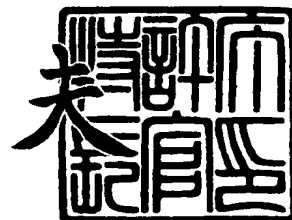
出願番号
Application Number: 特願2003-098836
[ST. 10/C]: [JP 2003-098836]

出願人
Applicant(s): 松下電器産業株式会社

2003年11月17日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3094804

【書類名】 特許願

【整理番号】 5038540102

【提出日】 平成15年 4月 2日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 5/335

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 嶋津 義久

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 南方 伸之

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 津村 敬一

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 岩澤 高広

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 平山 武

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置及びカメラ

【特許請求の範囲】

【請求項 1】 イメージセンサが出力する画像信号に対して画像処理を行って出力する画像処理装置であって、

画像を行又は列を単位として格納するラインメモリを有する内部メモリと、

前記内部メモリを用いて前記画像処理を行う画像処理部と、

前記画像処理部を制御する CPU とを備え、

前記画像処理部は、

それぞれが前記画像処理として所定の処理を行う、複数の処理回路を有するものであり、

前記複数の処理回路のうちの少なくとも 1 つは、

当該画像処理装置の外部に設けられた外部メモリを必要に応じて用いることができるように構成されているものである

画像処理装置。

【請求項 2】 請求項 1 に記載の画像処理装置において、

前記画像処理部は、

前記画像処理として前記外部メモリを用いずに行うことが可能な処理を行う場合には、前記外部メモリを用いずに行うものであることを特徴とする画像処理装置。

【請求項 3】 請求項 1 に記載の画像処理装置において、

前記 CPU は、

前記画像処理部が前記外部メモリを用いない場合には、前記外部メモリが消費する電力を低下させるように制御する信号を出力するものであることを特徴とする画像処理装置。

【請求項 4】 請求項 1 に記載の画像処理装置において、

前記画像処理部は、

前記イメージセンサから得られた画像信号を、輝度信号及び色差信号に変換して出力する輝度色差信号処理回路と、

前記輝度色差信号処理回路の出力に応じた画像に対して圧縮符号化を行い、得られた結果を前記画像処理部の出力とする圧縮処理回路とを、前記複数の処理回路として備えるものである

ことを特徴とする画像処理装置。

【請求項5】 請求項1に記載の画像処理装置において、

前記画像処理部は、

前記外部メモリから読み出された画像を前記イメージセンサから得られた画像に重ね合わせて出力するオンスクリーンディスプレイ処理回路を備えるものである

ことを特徴とする画像処理装置。

【請求項6】 請求項1に記載の画像処理装置において、

前記複数の処理回路のうちの1つは、

処理後の画像を、行及び列のうち、一方を単位として順に前記外部メモリに格納するものであり、

前記複数の処理回路のうちの他の1つは、

前記外部メモリに格納された画像を、行及び列のうち、格納の際とは異なるものを単位として順に読み出すものである

ことを特徴とする画像処理装置。

【請求項7】 請求項1に記載の画像処理装置において、

前記複数の処理回路のうちの少なくとも2つは、

前記内部メモリとして同一のものをを用いて処理を行うものである

ことを特徴とする画像処理装置。

【請求項8】 請求項1に記載の画像処理装置において、

前記画像処理部は、

前記イメージセンサが出力する画像を前記外部メモリに格納させ、前記画像の行及び列のうち、画素数が少ない方を単位として前記外部メモリから読み出して前記内部メモリを用いた前記画像処理を行い、得られた結果を、これに対応する画素のデータが前記外部メモリからの読み出し前に格納されていた領域に格納させ、得られた画像を前記外部メモリから読み出して出力するものである

ことを特徴とする画像処理装置。

【請求項 9】 請求項 8 に記載の画像処理装置において、

前記画像処理部は、

前記画像の行及び列のうち、画素数が少ない方であっても前記内部メモリに格納可能な画素数を越えている場合には、前記画像を複数の領域に分割して処理するものである

ことを特徴とする画像処理装置。

【請求項 10】 請求項 4 に記載の画像処理装置と、

前記画像処理装置に画像信号を出力するイメージセンサと、

前記画像処理装置の出力を記録媒体に書き込む記録装置とを備える

カメラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、イメージセンサから出力された信号を処理して出力する画像処理装置に関する。

【0002】

【従来の技術】

イメージセンサとして CCD (charge-coupled device)、CMOS (complementary metal oxide semiconductor) 撮像デバイス等を用いたデジタルスチルカメラ、デジタルカメラ付き携帯電話、デジタルビデオカメラ等のデジタル式のカメラにおいては、イメージセンサから読み出された画像信号に対して画像処理装置が画像処理を行い、その結果を表示装置に出力する。この際、イメージセンサからの画像の読み出し、及び表示装置への画像信号の出力は、1 画面中のライン毎に行われる。このため、画像処理装置内の各機能ブロックにおいては、ライン単位でデータを格納することができるラインメモリを用いた処理がよく行われている。

【0003】

しかし、イメージセンサの画素数の増大に伴い、1 ラインの画素数が増え、ラ

インメモリの容量を大きくする必要が生じた。そこで、1画面全体のデータを格納することができる外部メモリを用いることとし、画像処理をブロック単位で行う画像処理装置が知られている（例えば、特許文献1参照）。

【0004】

図16は、従来のカメラの構成の例を示すブロック図であって、特許文献1に開示されたものである。図16において、イメージセンサからライン単位で読み出された画像信号は、外部メモリ14に格納される。画像処理装置（信号処理回路）16は、外部メモリ14に格納された画像信号をブロック単位で読み出して画像処理を行い、再び外部メモリ14に格納させる。表示デバイスは、画像処理された画像信号を外部メモリ14から読み出して表示する。

【0005】

【特許文献1】

特開2000-354193号公報

【0006】

【発明が解決しようとする課題】

近年のデジタルカメラには、単に撮影するだけではなく、画像の縮小、回転等の様々な拡張機能を実現することが要求されている。また、記録メディアの容量を考慮して、複数の画質モードを用意することも要求されている。すなわち、画像処理装置は複数の処理を行う必要があり、処理の内容によって必要となるメモリの容量やメモリの使い方が異なってくる。

【0007】

前記特許文献1のカメラでは、画像処理がブロック単位で行われるので、いかなる処理を行う場合においても外部メモリ14へアクセスを4回行う必要がある。すなわち、イメージセンサからライン単位で読み出された画像信号の書き込み、画像処理装置によるブロック単位での読み出し、画像処理後のデータのブロック単位での書き込み、及び表示の際の画像処理された画像信号の読み出しをする必要がある。

【0008】

一般に、外部メモリへのアクセスは、内部メモリへのアクセスと比べると、消

費電力が大きく、処理時間も長い。このため、このように画像処理の際に必ず外部メモリにアクセスをするようなシステムにおいては、処理の内容によらず、一定以上の電力と処理時間とが必要となるという問題がある。

【0009】

また、ブロック単位での処理を行うには、複数のブロックに重複して属する画素のデータを、複数回読み出す必要がある。このため、各画素のデータを1回ずつ読み出す場合に比べて、外部メモリへのアクセスが多く発生し、やはり消費電力及び処理時間の点で問題がある。

【0010】

更に、画像処理装置は、デジタルスチルカメラ、デジタルビデオカメラ、及びデジタルカメラ付き携帯電話等の様々なシステムに搭載され得るが、システム毎に要求される機能は異なっている。例えば、デジタルスチルカメラでは、高画素数の画像を処理する必要がある、オンスクリーンディスプレイ（以下では、OSDと称する）処理、回転等の拡張機能も当然必要である。一方、デジタルカメラ付き携帯電話では、処理する画像の画素数は少なく、縮小、回転等の拡張機能は必要ではない場合が多く、この場合には外部メモリは必要ない。しかし、前記特許文献1の場合には、どのようなシステムで用いられるかに係わらず、画像処理装置には外部メモリが必要である。

【0011】

もちろん、用いられるシステム毎に、異なる画像処理装置を搭載することは可能である。しかし、近年、画像処理装置の開発コストを低減させることが強く要求されるようになってきており、1種類の画像処理装置を複数のシステムにおいて用いることができるようにすることが望まれている。

【0012】

本発明は、低消費電力化と多機能化とを両立させた画像処理装置を提供することを目的とする。また、本発明は、多くのシステムにおいて用いることができる、汎用性が高い画像処理装置を提供することを目的とする。

【0013】

【課題を解決するための手段】

前記課題を解決するため、請求項1の発明が講じた手段は、イメージセンサが出力する画像信号に対して画像処理を行って出力する画像処理装置であって、画像を行又は列を単位として格納するラインメモリを有する内部メモリと、前記内部メモリを用いて前記画像処理を行う画像処理部と、前記画像処理部を制御するCPUとを備え、前記画像処理部は、それぞれが前記画像処理として所定の処理を行う、複数の処理回路を有するものであり、前記複数の処理回路のうちの少なくとも1つは、当該画像処理装置の外部に設けられた外部メモリを必要に応じて用いることができるように構成されているものである。

【0014】

請求項1の発明によると、画像処理装置は、内部メモリを用いることによって低消費電力化及び処理速度の向上を図ることと、外部メモリを用いることによって大容量のメモリが必要な拡張機能を実現することとを選択することができる。このため、外部メモリを備えない場合においては、低消費電力化等を図りながら基本的な画像処理を行うようにし、外部メモリを備える場合においては、多機能化を図るようにすることができる。したがって、画像処理装置を多くのシステムに搭載することが可能になり、システムの開発コストを削減することができる。

【0015】

また、内部メモリにおいてはライン単位でデータを格納するので、表示装置にデータを転送する前に一旦外部メモリにデータを格納する必要がない。このため、システム全体として見たときに、低消費電力化と処理速度の向上とを図ることができる。

【0016】

請求項2の発明では、請求項1に記載の画像処理装置において、前記画像処理部は、前記画像処理として前記外部メモリを用いずに行うことが可能な処理を行う場合には、前記外部メモリを用いずその処理を行うものである。

【0017】

請求項2の発明によると、必要がある場合にのみ、外部メモリへのアクセスを行うので、低消費電力化と処理速度の向上とを図ることができる。

【0018】

請求項 3 の発明では、請求項 1 に記載の画像処理装置において、前記 CPU は、前記画像処理部が前記外部メモリを用いない場合には、前記外部メモリが消費する電力を低下させるように制御する信号を出力するものである。

【 0 0 1 9 】

請求項 3 の発明によると、外部メモリへのアクセスを行わない場合には、外部メモリにおいて消費する電力を削減することができるので、更に低消費電力化を図ることができる。

【 0 0 2 0 】

請求項 4 の発明では、請求項 1 に記載の画像処理装置において、前記画像処理部は、前記イメージセンサから得られた画像信号を、輝度信号及び色差信号に変換して出力する輝度色差信号処理回路と、前記輝度色差信号処理回路の出力に応じた画像に対して圧縮符号化を行い、得られた結果を前記画像処理部の出力とする圧縮処理回路とを、前記複数の処理回路として備えるものである。

【 0 0 2 1 】

請求項 5 の発明では、請求項 1 に記載の画像処理装置において、前記画像処理部は、前記外部メモリから読み出された画像を前記イメージセンサから得られた画像に重ね合わせて出力するオンスクリーンディスプレイ処理回路を備えるものである。

【 0 0 2 2 】

請求項 6 の発明では、請求項 1 に記載の画像処理装置において、前記複数の処理回路のうちの 1 つは、処理後の画像を、行及び列のうち、一方を単位として順に前記外部メモリに格納するものであり、前記複数の処理回路のうちの他の 1 つは、前記外部メモリに格納された画像を、行及び列のうち、格納の際とは異なるものを単位として順に読み出すものである。

【 0 0 2 3 】

請求項 6 の発明によると、画像の回転を行うことができる。

【 0 0 2 4 】

請求項 7 の発明では、請求項 1 に記載の画像処理装置において、前記複数の処理回路のうちの少なくとも 2 つは、前記内部メモリとして同一のものをを用いて処

理を行うものである。

【0025】

請求項7の発明によると、複数の処理のそれぞれのために専用のメモリを備える場合に比べて、内部メモリの容量を削減することができる。

【0026】

請求項8の発明では、請求項1に記載の画像処理装置において、前記画像処理部は、前記イメージセンサが出力する画像を前記外部メモリに格納させ、前記画像の行及び列のうち、画素数が少ない方を単位として前記外部メモリから読み出して前記内部メモリを用いた前記画像処理を行い、得られた結果を、これに対応する画素のデータが前記外部メモリからの読み出し前に格納されていた領域に格納させ、得られた画像を前記外部メモリから読み出して出力するものである。

【0027】

請求項8の発明によると、例えば画像が横長であって、水平方向の画素数が内部メモリに格納できる1行分の画素数を越えているときにおいても、画像処理を行うことができる。

【0028】

請求項9の発明では、請求項8に記載の画像処理装置において、前記画像処理部は、前記画像の行及び列のうち、画素数が少ない方であっても前記内部メモリに格納可能な画素数を越えている場合には、前記画像を複数の領域に分割して処理するものである。

【0029】

請求項10の発明は、カメラとして、請求項4に記載の画像処理装置と、前記画像処理装置に画像信号を出力するイメージセンサと、前記画像処理装置の出力を記録媒体に書き込む記録装置とを備えるものである。

【0030】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0031】

図1は、本発明の実施形態に係る画像処理装置を備えるカメラの構成の例を示

すブロック図である。図1のカメラは、例えばデジタルスチルカメラ、デジタルカメラ付き携帯電話、デジタルビデオカメラである。図1のカメラは、画像処理装置100と、イメージセンサ12と、AD変換器(ADC)13と、記録装置14と、表示装置15と、外部メモリ16と、電源回路17とを備えている。また、画像処理装置100は、画像処理部20と、CPU50と、内部メモリ60と、出力部70とを備えている。画像の画素の水平方向の並びを行、垂直方向の並びを列と称することとする。

【0032】

イメージセンサ12は、例えばCCDやCMOS撮像デバイスである。イメージセンサ12は、画像信号をAD変換器13に出力する。AD変換器13は、入力された信号をデジタルデータに変換して、画像処理部20に出力する。

【0033】

画像処理部20は、CPU50の指示に従って、イメージセンサ12の出力に画像処理を行って、出力部70に出力する。画像処理を行う際に、画像処理部20は、処理の内容に応じて、内部メモリ60及び外部メモリ16のうちの少なくとも一方を用いる。

【0034】

内部メモリ60は、画像を行又は列を単位として格納するラインメモリを複数有している。各ラインメモリは、m画素(mは自然数)のデータを格納することができる容量(これを1Hと称する)を有する。画像の1行分の画素を複数のラインメモリにまたがって格納することはしないので、内部メモリ60に1行分の画素として格納可能な画素数はmである。したがって、通常は、画像処理装置100において処理可能な画像の1行の最大画素数はmである。以下では例として、m=1280であるとし、内部メモリ60は、ラインメモリを18個有しているものとする。

【0035】

外部メモリ16は、フレームメモリとして用いられ、画像処理装置100において処理対象とする画像の最大のものを1画面以上格納することができる容量を有しているものとする。

【0036】

電源回路17は、CPU50の指示に従って、外部メモリ16に電力を供給している。出力部70は、バッファを有し、画像処理部20の出力を、記録装置14における記録媒体への書き込み、及び表示装置15における表示に適した形式の信号に変換して出力するインタフェースとして動作する。記録装置14は、出力部70の出力をメモリカード等の記録媒体に書き込む。表示装置15は、例えば液晶表示器であって、イメージセンサ12が出力する画像のモニタ表示を行う。

【0037】

図2は、図1の画像処理部20の構成の例を示すブロック図である。画像処理部20は、処理回路として、前処理回路22と、輝度色差信号処理回路（以下では、YC信号処理回路と称する）24と、縮小ズーム回路26と、ポストフィルタ28と、OSD処理回路32と、JPEG（joint photographic image coding experts group）処理回路34と、垂直拡大回路36とを備えている。更に、画像処理部20は、内部メモリ制御回路42と、外部メモリ制御回路44とを備えている。これらの画像処理部20内の回路はいずれも、CPU50の指示に従って動作する。

【0038】

前処理回路22、YC信号処理回路24、縮小ズーム回路26、ポストフィルタ28、OSD処理回路32、JPEG処理回路34、及び垂直拡大回路36は、入力されたデータに対する処理を行うことなくそのまま出力することもできるように構成されているものとする。また、これらの回路は、内部メモリ制御回路42を介して内部メモリ60にアクセスし、外部メモリ制御回路44を介して外部メモリ16にアクセスする。したがって、これらの回路は、外部メモリ16を介して相互にデータの受け渡しをすることもできるようになっている。

【0039】

また、前処理回路22、YC信号処理回路24、縮小ズーム回路26、ポストフィルタ28、OSD処理回路32、JPEG処理回路34、及び垂直拡大回路36の各処理回路は、内部メモリとして同一のものをを用いて処理を行う。言い換

えると、これらの処理回路は、内部メモリ 60 を共有するように構成されている。CPU 50 は、これらの処理回路のそれぞれに、それぞれにおける処理の必要に応じて、内部メモリ 60 の領域を割り当てる。

【0040】

前処理回路 22 は、イメージセンサ 12 から得られた画像信号に対して、黒レベルの抽出、ホワイトバランスの検出、及びガンマ補正のうちの少なくとも 1 つを前処理として行い、得られた結果を YC 信号処理回路 24 に出力する。

【0041】

YC 信号処理回路 24 は、前処理回路 22 の出力を受け取り、これに YC 信号処理を行って、縮小ズーム回路 26 に出力する。YC 信号処理は、黒レベル補正、ホワイトバランス補正、並びに輝度信号及び色差信号への変換をいうものとする。

【0042】

縮小ズーム回路 26 は、一次補間を行って、輝度信号及び色差信号が表す画像を縮小させるズーム処理を行い、得られた結果をポストフィルタ 28 に出力する。

【0043】

ポストフィルタ 28 は、係数が可変のローパスフィルタを有しており、ポストフィルタ処理、すなわち、縮小ズーム回路 26 から入力された画像の低域成分を通過させ、アパーチャ補正を行う処理を行って、OSD 処理回路 32 に出力する。

【0044】

OSD 処理回路 32 は、外部メモリ 16 から OSD 用の画像データを読み出し、これをポストフィルタ 28 から入力された画像に重ね合わせる OSD 処理を行って、JPEG 処理回路 34 に出力する。

【0045】

圧縮処理回路としての JPEG 処理回路 34 は、OSD 処理回路 32 から出力された画像に対して JPEG に基づく圧縮符号化 (JPEG 圧縮処理) を行い、得られた結果を、垂直拡大回路 36 を経由して出力部 70 に出力する。更に JP

E G 圧縮処理結果は記録装置 14 に出力され、メモリカード等の記録媒体に書き込まれる。

【0046】

垂直拡大回路 36 は、OSD 処理回路 32 が出力する画像を J P E G 処理回路 34 を経由して受け取り、これを垂直方向の画素数が表示装置 15 に適合するように垂直方向に拡大する垂直拡大処理を行い、出力部 70 に出力する。更に垂直拡大処理結果は表示装置 15 に出力され、表示される。

【0047】

図 3 は、図 1 の画像処理装置 100 における処理の流れの例の一部分を示すフローチャートである。図 4 は、図 1 の画像処理装置 100 における処理の流れの例の他の部分を示すフローチャートである。図 5 は、図 1 の画像処理装置 100 における処理の流れの例の残りの部分を示すフローチャートである。

【0048】

図 6 は、図 1 の画像処理装置 100 におけるデータの流れの第 1 の例を示す説明図である。以下のデータの流れを示す図では、内部メモリ制御回路 42 及び外部メモリ制御回路 44 を省略する。図 6 の場合、イメージセンサ 12 が出力する画像のサイズが横 1280 (=m) × 縦 960 画素であるとし、画像処理として、前処理、Y C 信号処理、ズーム処理（本例においては、倍率 2/3）、ポストフィルタ処理、及び J P E G 圧縮処理が行われるものとする。この場合、画像処理装置 100 に入力される画像の水平方向の 1 行分のデータ量は、1 H に相当する。図 2 ～図 6 を参照して、画像処理装置 100 の動作を説明する。

【0049】

図 3 のステップ S 11 では、C P U 50 は、イメージセンサ 12 が出力する信号が表す画像の水平画素数を、画像処理装置 100 に入力される画像の水平画素数として設定する。この値は、接続されるイメージセンサ 12 に応じて、画像処理装置 100 の外部から設定することができるようになっている。より具体的には、画像処理装置 100 で扱う画像の水平画素数が、内部メモリ 60 の各ラインメモリに格納できる画素数 (=m) の 1/2 以下であるか否かを設定する。

【0050】

水平画素数が $m/2$ 以下である場合には、1つのラインメモリに2行分の画素データを格納することができるので、内部メモリ60のみを用いて多くの処理を行うことができる。一方、水平画素数が $m/2$ よりも多い場合には、1つのラインメモリに1行分の画素データしか格納することができないので、内部メモリ60のみを用いて行える処理に限られる。このため、水平画素数が $m/2$ 以下であるか否かによって、各処理回路に割り当てる内部メモリ60の容量を変更する必要がある。ここでは、 $m=1280$ であるので、水平画素数が $m/2$ よりも多いということが設定される。

【0051】

ステップS12では、CPU50は、処理内容を設定する。具体的には、ズーム処理、ポストフィルタ処理、JPEG圧縮処理、垂直拡大処理、OSD処理及び回転処理等を行うか否か、ズーム処理を行う場合の倍率等を設定する。図6の場合は、ズーム処理、ポストフィルタ処理、及びJPEG圧縮処理を行うこと、並びに、ズーム処理の倍率が $2/3$ であることが設定される。

【0052】

ステップS13では、CPU50は、画像処理部20の各処理回路、すなわち、前処理回路22、YC信号処理回路24、縮小ズーム回路26、ポストフィルタ28、OSD処理回路32、JPEG処理回路34、及び垂直拡大回路36に、内部メモリ60及び外部メモリ16の領域の割り当てを行い、内部メモリ60のみを用いて処理を行うか、又は外部メモリ16をも用いて処理を行うかを必要に応じて選択することができるようにする。

【0053】

この際、実際に行われる処理に対してのみ、内部メモリ60が割り当てられる。OSD処理を行う場合には、必ず外部メモリ16が必要であり、OSD処理回路32には外部メモリ16の領域が割り当てられる。また、後述する回転処理を行う場合にも、外部メモリ16が必要であり、この処理のために外部メモリ16の領域が割り当てられる。倍率が $1/2$ 以下のズーム処理を行う場合等には、それ以降の処理において1つのラインメモリに複数の行の画素データを格納することができる点も考慮して、割り当てが行われる。

【0054】

図6の場合は、ズーム処理の倍率が2/3であるので、1つのラインメモリには縮小後の画像の1行分のデータしか格納することができない。すると、内部メモリ60を用いてJ P E G圧縮処理を行うにはラインメモリが8 H分必要となる。そこで、内部メモリ60の容量(18 H)を考慮して、前処理回路22、Y C信号処理回路24、縮小ズーム回路26、及びポストフィルタ28には、それぞれ内部メモリ60の2 H、4 H、4 H、及び4 Hに相当するラインメモリを割り当て、J P E G処理回路34には、外部メモリ16の領域を割り当てることとする。

【0055】

ステップS 16では、C P U 50は、外部メモリ16を使う必要がある処理を行うか否か、又は外部メモリが接続されているか否か等を考慮して、外部メモリ16を使用するか否かを判断する。外部メモリ16を使用する場合はステップS 22に、使用しない場合はステップS 18に進む。図6の場合は、J P E G処理回路34が外部メモリ16を用いるので、ステップS 22に進む。

【0056】

ステップS 22では、C P U 50は、内部メモリ60のみを用いて前処理を行うか否かを判断する。内部メモリ60のみを用いる場合にはステップS 23に進み、その他の場合にはステップS 24に進む。図6の場合は、ステップS 23に進む。

【0057】

ステップS 23では、前処理回路22は、イメージセンサ12が出力する画像信号が表す画像の水平方向の1行を単位として扱い、前処理回路22に割り当てられた、内部メモリ60の領域との間で読み書きを行って前処理を行い、得られた結果をY C信号処理回路24に出力する。その後、ステップS 27に進む。

【0058】

ステップS 24では、前処理回路22は、ステップS 23と同様に画像の水平方向の1行を単位として扱い、割り当てられた、外部メモリ16又は内部メモリ60の領域との間で読み書きを行って前処理を行い、得られた結果をY C信号処

理回路 24 に出力する。その後、ステップ S 27 に進む。

【0059】

ステップ S 27 では、CPU 50 は、内部メモリ 60 のみを用いて YC 信号処理を行うか否かを判断する。内部メモリ 60 のみを用いる場合にはステップ S 28 に進み、その他の場合にはステップ S 29 に進む。図 6 の場合は、ステップ S 28 に進む。

【0060】

ステップ S 28 では、YC 信号処理回路 24 は、この回路に割り当てられた、内部メモリ 60 の領域との間で読み書きを行って YC 信号処理を行い、得られた結果を縮小ズーム回路 26 に出力する。その後、ステップ S 31 に進む。

【0061】

ステップ S 29 では、YC 信号処理回路 24 は、割り当てられた、外部メモリ 16 又は内部メモリ 60 の領域との間で読み書きを行って YC 信号処理を行い、得られた結果を縮小ズーム回路 26 に出力する。その後、ステップ S 31 に進む。

【0062】

ステップ S 31 では、CPU 50 は、ズーム処理を行うか否かを判断する。ズーム処理を行う場合はステップ S 32 に、行わない場合はステップ S 36 に進む。図 6 の場合は、ズーム処理を行うので、ステップ S 32 に進む。

【0063】

ステップ S 32 では、CPU 50 は、内部メモリ 60 のみを用いてズーム処理を行うか否かを判断する。内部メモリ 60 のみを用いる場合にはステップ S 33 に進み、その他の場合にはステップ S 34 に進む。図 6 の場合は、ステップ S 33 に進む。

【0064】

ステップ S 33 では、縮小ズーム回路 26 は、この回路に割り当てられた、内部メモリ 60 の領域との間で読み書きを行って、画像の画素数を減少させるズーム処理を行い、得られた結果をポストフィルタ 28 に出力する。その後、ステップ S 36 に進む。図 6 の場合、縮小ズーム回路 26 は、水平方向の画素数が 2 /

3になるように画像を縮小する処理を行う。

【0065】

ステップS34では、縮小ズーム回路26は、割り当てられた、外部メモリ16又は内部メモリ60の領域との間で読み書きを行って、ズーム処理を行い、得られた結果をポストフィルタ28に出力する。その後、ステップS36に進む。

【0066】

図4のステップS36では、CPU50は、ポストフィルタ処理を行うか否かを判断する。ポストフィルタ処理を行う場合はステップS37に、行わない場合はステップS41に進む。図6の場合は、ポストフィルタ処理を行うので、ステップS37に進む。

【0067】

ステップS37では、CPU50は、内部メモリ60のみを用いてポストフィルタ処理を行うか否かを判断する。内部メモリ60のみを用いる場合にはステップS38に進み、その他の場合にはステップS39に進む。図6の場合は、ステップS38に進む。

【0068】

ステップS38では、ポストフィルタ28は、これに割り当てられた、内部メモリ60の領域との間で読み書きを行って、ポストフィルタ処理を行い、得られた結果をOSD処理回路32に出力する。その後、ステップS41に進む。

【0069】

ステップS39では、ポストフィルタ28は、割り当てられた、外部メモリ16又は内部メモリ60の領域との間で読み書きを行って、ポストフィルタ処理を行い、得られた結果をOSD処理回路32に出力する。その後、ステップS41に進む。

【0070】

ステップS41では、CPU50は、OSD処理を行うか否かを判断する。OSD処理を行う場合はステップS44に、行わない場合はステップS51に進む。図6の場合は、OSD処理を行わないので、ステップS51に進む。

【0071】

ステップS44では、OSD処理回路32は、外部メモリ16からOSD用の画像データを読み出し、これを、割り当てられた、外部メモリ16又は内部メモリ60の領域を使用して、ポストフィルタ28から入力された画像に重ね合わせるOSD処理を行い、得られた結果をJPEG処理回路34に出力する。その後、ステップS51に進む。

【0072】

ステップS51では、CPU50は、JPEG圧縮処理を行うか否かを判断する。JPEG圧縮処理を行う場合はステップS52に、行わない場合はステップS56に進む。図6の場合は、JPEG圧縮処理を行うので、ステップS52に進む。

【0073】

ステップS52では、CPU50は、内部メモリ60のみを用いてJPEG圧縮処理を行うか否かを判断する。内部メモリ60のみを用いる場合にはステップS53に進み、その他の場合にはステップS54に進む。図6の場合は、JPEG処理回路34には外部メモリ16が割り当てられているので、ステップS54に進む。

【0074】

ステップS53では、JPEG処理回路34は、この回路に割り当てられた、内部メモリ60の領域との間で読み書きを行って、JPEG圧縮処理を行い、得られた結果を垂直拡大処理回路36を経由して出力部70に出力する。その後、処理を終了する。

【0075】

ステップS54では、JPEG処理回路34は、割り当てられた、外部メモリ16又は内部メモリ60の領域との間で読み書きを行って、JPEG圧縮処理を行い、得られた結果を垂直拡大処理回路36を経由して出力部70に出力する。その後、処理を終了する。

【0076】

また、ステップS56では、CPU50は、垂直拡大処理を行うか否かを判断する。垂直拡大処理を行う場合はステップS57に進み、行わない場合は処理を

終了する。

【0077】

ステップS57では、CPU50は、内部メモリ60のみを用いて垂直拡大処理を行うか否かを判断する。内部メモリ60のみを用いる場合にはステップS58に進み、その他の場合にはステップS59に進む。

【0078】

ステップS58では、垂直拡大処理回路36は、この回路に割り当てられた、内部メモリ60の領域との間で読み書きを行って、垂直拡大処理を行い、得られた結果を出力部70に出力する。その後、処理を終了する。

【0079】

ステップS59では、垂直拡大処理回路36は、割り当てられた、外部メモリ16又は内部メモリ60との間で読み書きを行って、垂直拡大処理を行い、得られた結果を出力部70に出力する。その後、処理を終了する。

【0080】

このように、図6の場合には、外部メモリ16へのアクセスは、JPEG処理回路34によるJPEG圧縮処理の際に行われるのみである。これ以外の画像処理は、外部メモリ16を用いずに行うことが可能であるので、外部メモリ16を用いずに行われる。したがって、外部メモリ16へのアクセスを大幅に減少させることができる。

【0081】

一方、外部メモリ16を使用しない場合には、図5のステップS18では、CPU50は、低消費電力モードへ以降する処理を行う。例えば、CPU50は、電源回路17を制御して外部メモリ16への電力の供給を停止させ、外部メモリ16が電力を消費しないようにする。これ以降の処理では外部メモリ16を使用しないからである。

【0082】

以降の処理は、内部メモリを用いた処理を行うか否かの判断を行わずに、必ず内部メモリを用いた処理を行う点、並びにOSD処理を行うか否かを判断するステップ、及びOSD処理を行うステップを有しない点を除けば、図3及び図4を

参照して説明したものと同様である。すなわち、ステップ S 6 3, S 6 8, S 7 1, S 7 3, S 7 6, S 7 8, S 8 1, S 8 3, S 8 6, 及び S 8 8 は、それぞれステップ S 2 3, S 2 8, S 3 1, S 3 3, S 3 6, S 3 8, S 5 1, S 5 3, S 5 6, 及び S 5 8 と同様であるので、その説明を省略する。以上で 1 画面分の処理が終了する。

【0083】

このように、画像処理装置 100 においては、J P E G 圧縮処理と垂直拡大処理とのうち、いずれか一方のみが行われるようになっている。また、画像処理装置 100 においては、外部メモリ 16 を使用しない場合には、外部メモリ 16 への電力の供給を停止させるので、外部メモリ 16 で電力を消費しないようにすることができる。

【0084】

図 7 は、図 1 の画像処理装置 100 におけるデータの流れの第 2 の例を示す説明図である。図 7 の場合も、図 6 の場合と同様に、イメージセンサ 12 が出力する画像のサイズが横 1280 (=m) × 縦 960 画素であるとし、画像処理として、前処理、Y C 信号処理、ズーム処理（本例においては、倍率 1/4）、ポストフィルタ処理、及び J P E G 圧縮処理が行われるものとする。図 2 ～ 図 5 及び図 7 を参照して、画像処理装置 100 の動作を説明する。

【0085】

ステップ S 11, S 12 における処理は、ズーム処理の倍率が 1/4 に設定される点の他は、図 6 の場合と同様である。

【0086】

図 7 の場合は、画像処理装置 100 に入力される画像の水平画素数が m であり、ズーム処理の倍率が 1/4 であるので、1 つのラインメモリには縮小後の画像の 4 行分のデータを格納することができる。そこで、ステップ S 13 では、C P U 50 は、前処理回路 22、Y C 信号処理回路 24、縮小ズーム回路 26、ポストフィルタ 28、及び J P E G 処理回路 34 に、それぞれ内部メモリ 60 の 2 H、4 H、4 H、1 H、及び 2 H に相当するラインメモリを割り当てる。内部メモリ 60 だけで容量は足りるので、外部メモリ 16 は割り当てられない。

【0087】

ステップS16では、CPU50は、外部メモリ16を使用しないと判断し、ステップS18に進む。ステップS18では、外部メモリ16への電力の供給を停止する。ステップS63以降の処理は、CPU50が内部メモリ60を用いて処理を行うか否かの判断をせず、各処理回路が必ず内部メモリ60に読み書きを行って処理を行う点の他は、図6の場合と同様であるので、その説明を省略する。

【0088】

このように、図7のように外部メモリを備えない場合においても、画像処理装置100は、基本的な画像処理を行うことができる。また、画像処理の際に外部メモリ16へのアクセスを行わないので、消費電力を減少させ、処理速度を向上させることができる。

【0089】

図8は、図1の画像処理装置100におけるデータの流れの第3の例を示す説明図である。図8の場合、イメージセンサ12が出力する画像のサイズが横640(=m/2)×縦480画素であるとし、画像処理として、前処理、YC信号処理、ズーム処理(本例においては、倍率1/2)、ポストフィルタ処理、OSD処理、及びJPEG圧縮処理が行われるものとする。この場合、画像の水平方向の1行分のデータ量は、1/2Hに相当する。図2～図4及び図8を参照して、画像処理装置100の動作を説明する。

【0090】

ステップS11では、CPU50は、画像処理装置100に入力される画像の水平画素数がm/2以下であることを設定する。ステップS12では、CPU50は、ズーム処理、ポストフィルタ処理、OSD処理、及びJPEG圧縮処理を行うこと、並びに、ズーム処理の倍率が1/2であることを設定する。

【0091】

図8の場合は、画像処理装置100に入力される画像の水平画素数がm/2であり、ズーム処理の倍率が1/2であるので、1つのラインメモリには縮小後の画像の4行分のデータを格納することができる。そこで、ステップS13では、

CPU50は、前処理回路22、YC信号処理回路24、縮小ズーム回路26、ポストフィルタ28、OSD処理回路32及びJPEG処理回路34に、それぞれ内部メモリ60の1H、2H、2H、1H、1H、及び2Hに相当するラインメモリを割り当ててゐる。内部メモリ60だけで容量は足りるので、外部メモリ16は割り当てられない。

【0092】

OSD処理を行う必要があるので、ステップS16では、CPU50は、外部メモリ16を使用すると判断し、ステップS22に進む。

【0093】

図3のステップS22以降における処理は、ステップS41において、CPU50がOSD処理を行うと判断してステップS44に進む点、及びステップS44において、OSD処理回路32がOSD処理を行い、得られた結果をJPEG処理回路34に出力する点以外は、図6の場合と同様であるので、詳細な説明は省略する。

【0094】

このように、外部メモリ16を用いることにより、OSD処理を拡張機能として行うことができる。また、図5の場合には、外部メモリ16へのアクセスは、OSD処理回路32が読み出しを1回行うのみである。メモリに対するこれ以外のアクセスは内部メモリ60に対して行われるので、外部メモリ16へのアクセスを大幅に減少させることができる。

【0095】

図9は、図1の画像処理装置100におけるデータの流れの第4の例を示す説明図である。図9の場合は、図6の場合と同様に、イメージセンサ12が出力する画像のサイズが横1280(=m)×縦960画素であるとする。また、画像処理として、前処理、YC信号処理、ズーム処理(本例においては、倍率1/2)、ポストフィルタ処理、垂直拡大処理、及び回転処理が行われるものとする。図2～図4及び図9を参照して、画像処理装置100の動作を説明する。

【0096】

ステップS11では、CPU50は、画像処理装置100に入力される画像の

水平画素数が $m/2$ よりも多いということを設定する。ステップS12では、CPU50は、ズーム処理、ポストフィルタ処理、垂直拡大処理、及び回転処理を行うこと、並びに、ズーム処理の倍率が $1/2$ であることを設定する。

【0097】

図9の場合は、画像処理装置100に入力される画像の水平画素数が m であり、ズーム処理の倍率が $1/2$ であるので、1つのラインメモリには縮小後の画像の2行分のデータを格納することができる。そこで、ステップS13では、CPU50は、前処理回路22、YC信号処理回路24、縮小ズーム回路26、ポストフィルタ28、及び垂直拡大処理回路36に、それぞれ内部メモリ60の2H、4H、4H、2H、及び2Hに相当するラインメモリを割り当てる。内部メモリ60だけで容量は足りるので、外部メモリ16は割り当てられない。

【0098】

回転処理を行う必要があるので、ステップS16では、CPU50は、外部メモリ16を使用すると判断し、ステップS22に進む。

【0099】

以降、前処理回路22、YC信号処理回路24、縮小ズーム回路26、及びポストフィルタ28における処理は、ズーム処理の倍率が異なる点以外は、図6の場合とほぼ同様である。ただし、YC信号処理回路24及び縮小ズーム回路26は、外部メモリ16を用いて回転処理を行う。なお、図3及び図4のフローチャートにおいては、回転処理に関する記載を省略している。

【0100】

回転処理について説明する。図10(a)は、回転処理の際に書き込まれる画素の順の例を示す説明図である。図10(b)は、回転処理の際に読み出される画素の順の例を示す説明図である。図10(a)、(b)に示すように、YC信号処理回路24が出力する画像は、水平方向に m 個、垂直方向に n 個の画素を有し、水平方向の各行には v_1, v_2, \dots, v_n の各座標が与えられ、垂直方向の各列には h_1, h_2, \dots, h_m の各座標が与えられている。各画素を、水平、垂直両方向の座標を用いて、 $h_1 v_1$ のように表すこととする。

【0101】

YC信号処理回路24は、YC信号処理を行って得られた画素のデータを、画像における水平方向の1行分毎に順に、外部メモリ16に書き込む。すなわち、図10(a)のように、 $h1v1$, $h2v1$, ..., $hmv1$ の順に第1行の書き込みを行った後、 $h1v2$, $h2v2$, ..., $hmv2$ の順に第2行の書き込みを行い、以後、第n行の書き込みまでを行う。

【0102】

次に、縮小ズーム回路26は、YC信号処理回路24が書き込んだ画素のデータを、書き込み前の画像における垂直方向の同一の列毎に読み出す。すなわち、図10(b)のように、 $h1v1$, $h1v2$, ..., $h1vn$ の順に第1列の読み出しを行った後、 $h2v1$, $h2v2$, ..., $h2vn$ の順に第2列の読み出しを行い、以後、第m列の読み出しまでを行う。

【0103】

ここで、読み出した列毎の画素のデータを、水平方向の行毎の画素のデータとみなすこととする。すると、外部メモリ16への書き込み前の画像を90°回転させた画像が得られたことになる。

【0104】

その後、縮小ズーム回路26は、回転後の画像に対して水平方向の画素数を1/2に縮小するズーム処理を行い、得られた結果をポストフィルタ28に出力する。ポストフィルタ28による処理後、垂直拡大処理回路36は、内部メモリ60を用いて垂直拡大処理を行い、出力部70への出力を行う。

【0105】

このように、外部メモリ16を用いることにより、画像の回転を拡張機能として容易に行うことができる。

【0106】

なお、画素のデータを、図10(b)と同様に、画像における垂直方向の1列分毎に外部メモリ16に書き込み、図10(a)と同様に、書き込み前の画像における水平方向の同一の行毎に読み出すようにしてもよい。

【0107】

また、前処理回路22、YC信号処理回路24、縮小ズーム回路26、及びポ

ストフィルタ 28 のうちのいずれかが外部メモリ 16 への書き込みを行い、その次の処理を行うべき回路が読み出しを行うようにしてもよい。ただし、J P E G 処理回路 34 へデータが入力されるまでに外部メモリ 16 からの読み出しが行われていることが必要である。

【0108】

既に図 7 を参照して説明したが、外部メモリ 16 を用いない場合における画素データの転送について簡単にまとめる。図 11 は、外部メモリ 16 を用いない場合における、画像処理の際の画素データの転送について示すフローチャートである。

【0109】

ステップ S 112 では、C P U 50 は、1 行の画素データを内部メモリ 60 に格納させる。ステップ S 114 では、画像処理部 20 は、内部メモリ 60 を用いて各種の画像処理を行う。ステップ S 116 では、画像処理部 20 は、画像処理終了後の 1 行の画素データを出力部 70 に出力する。ステップ S 118 では、C P U 50 は、1 画面の処理が終了したか否かを判断する。終了した場合には処理を終了し、その他の場合はステップ S 112 に戻る。

【0110】

内部メモリ 60 においては、画像の 1 行分の画素を複数のラインメモリにまたがって格納することはしないので、内部メモリに 1 行分の画素として格納可能な画素数は m である。したがって、外部メモリ 16 を用いない場合には、画像処理装置 100 は、水平方向の画素数が m 以下である画像しか処理できない。

【0111】

一方、外部メモリを用いると、水平方向に m 画素よりも多くの画素を有する画像を処理することができる。以下では、画像処理装置 100 が、外部メモリを用いて水平方向に m 画素よりも多くの画素を有する画像を処理する場合について説明する。

【0112】

図 12 は、水平方向に m 画素よりも多くの画素を有する画像を処理する場合のデータの流れの例を示す説明図である。図 13 (a) は、水平画素数が m を越え

ている場合において、転送される画素の順の一例を示す説明図である。図 13 (b) は、水平画素数が m を越えている場合において、転送される画素の順の他の例を示す説明図である。図 13 (a), (b) の画像は、水平方向に $m + \alpha$ 個 (α は自然数)、垂直方向に m 個の画素を有し、水平方向の各行には v_1, v_2, \dots, v_m の各座標が与えられ、垂直方向の各列には $h_1, h_2, \dots, h(m + \alpha)$ の各座標が与えられている。

【0113】

水平方向に m 画素よりも多くの画素を有する画像の場合、内部メモリ 60 は 1 行分の画素のデータを 1 つのラインメモリに格納することができないので、画像処理を行うことができない。しかし、図 13 の画像は、垂直方向に m 個の画素を有しているので、1 列分の画素を各ラインメモリに格納すれば、処理を行うことができる。

【0114】

図 14 は、水平方向に m 画素よりも多くの画素を有する画像を処理する場合の図 1 の画像処理装置 100 における処理の流れの例を示すフローチャートである。図 12 ~ 図 14 を参照して説明する。

【0115】

図 14 のステップ S122 では、画像処理部 20 は、AD 変換器 13 が出力した画素データを 1 行毎に外部メモリ 16 に格納させる (図 12 の W1)。すなわち、図 13 (a) のように、 $h_1 v_1, h_2 v_1, \dots, h(m + \alpha) v_1$ の順に第 1 行の書き込みを行った後、 $h_1 v_2, h_2 v_2, \dots, h(m + \alpha) v_2$ の順に第 2 行の書き込みを行い、以後、第 m 行の書き込みまでを行う。

【0116】

ステップ S124 では、CPU 50 は、画像の垂直方向の画素数 (垂直画素数) が m 以下であるか否かを判断する。 m 以下である場合にはステップ S132 に、その他の場合にはステップ S152 に進む。図 13 の画像の場合はステップ S132 に進む。

【0117】

ステップ S132 では、画像処理部 20 は、1 列の画素データを外部メモリ 1

6から読み出して内部メモリ60に転送し、格納させる(図12のR1)。すなわち、図13(b)のように、例えば $h1v1$, $h1v2$, ..., $h1vm$ の順に読み出しを行う。

【0118】

ステップS134では、画像処理部20は、前処理、YC信号処理、ズーム処理、ポストフィルタ処理等の画像処理を、1列の画素データを求めるために内部メモリ60を用いて行う。

【0119】

ステップS136では、画像処理部20は、処理後の1列の画素データを外部メモリ16に格納させる(図12のW2)。このとき、図13(b)のように、処理後の1列の画素データを、対応する処理前の1列の画素データが格納されていた領域に書き込む。

【0120】

ステップS138では、CPU50は、1画面の処理が終了したか否かを判断する。終了した場合にはステップS142に進み、その他の場合はステップS132に戻る。

【0121】

ステップS142では、画像処理部20は、例えば図13(a)のように1行毎に、得られた画像の画素データを外部メモリ16から読み出す(図12のR2)。更に、画像処理部20は、例えばJPEG圧縮処理等の処理が必要であれば、それを読み出された画像に対して行った後、出力部70に出力する。

【0122】

このように、外部メモリを用いると、水平画素数が m 以下の画像を処理するための画像処理装置100において、垂直画素数が m 以下であれば水平画素数が m を越えていても、回路構成を変更することなく各種の画像処理を行うことができる。

【0123】

次に、画像の水平画素数及び垂直画素数がいずれも m を越えている場合の処理について説明する。図15は、水平及び垂直画素数が m を越えている場合におい

て、転送される画素の順の一例を示す説明図である。図15の画像は、水平方向に $m + \alpha + \beta$ 個 (β は自然数)、垂直方向に $m + \alpha$ 個の画素を有し、水平方向の各行には $v_1, v_2, \dots, v_{(m + \alpha)}$ の各座標が与えられ、垂直方向の各列には $h_1, h_2, \dots, h_{(m + \alpha + \beta)}$ の各座標が与えられている。

【0124】

図14を参照して説明する。ステップS122では、CPU50は、AD変換器13が出力した画素データを1行毎に外部メモリ16に格納させる。すなわち、 $h_1 v_1, h_2 v_1, \dots, h_{(m + \alpha + \beta)} v_1$ の順に第1行の書き込みを行い、以後同様に第 $m + \alpha$ 行の書き込みまでを行う。

【0125】

図15の画像の場合は、ステップS124において、垂直画素数が m 以下ではないと判断され、ステップS152に進む。

【0126】

ステップS152では、CPU50は、図15の画像を、第1行から第 m 行までの領域aと、それ以外の領域bとに分割する。

【0127】

ステップS154では、CPU50は、領域a, bのうちのいずれを処理するかを選択する。また、画像処理装置100は、1列の画素データを外部メモリ16から読み出して内部メモリ60に転送し、格納させる。すなわち、図15のように、領域aが選択された場合には、例えば $h_1 v_1, h_1 v_2, \dots, h_1 v_m$ の順に読み出しを行い、領域bが選択された場合には、例えば $h_1 v_{(m + 1)}, h_1 v_{(m + 2)}, \dots, h_1 v_{(m + \alpha)}$ の順に読み出しを行う。

【0128】

ステップS156, S158における処理は、それぞれステップS134, S136における処理と同様である。ただし、ステップS156, S158では、選択された領域についての処理のみを行う。

【0129】

ステップS162では、CPU50は、領域内での処理が終了したか否かを判断する。終了した場合はステップS164に進み、その他の場合はステップS1

54に戻って残りの領域の処理を行う。

【0130】

ステップS164では、CPU50は、1画面の処理が終了したか否かを判断する。終了した場合にはステップS142に進み、その他の場合はステップS152に戻る。

【0131】

図14、図15を参照して説明したように、外部メモリを用いると、水平画素数が m 以下の画像を処理するための画像処理装置100において、垂直及び水平画素数が m を越えていても、回路構成を変更することなく各種の画像処理を行うことができる。

【0132】

以上の実施形態で説明したように、図1の画像処理装置100は、外部メモリを用いる場合及び用いない場合のいずれにおいても、画像処理を行うことができる。

【0133】

外部メモリ16を備えない場合には、画像処理装置100は、YC信号処理や圧縮処理等の基本的な画像処理を行うことができる。この場合は、外部メモリ16へのアクセスを行わないので、消費電力を減少させ、処理速度を向上させることができる。

【0134】

一方、外部メモリ16を備える場合には、OSD処理、回転処理、垂直又は水平画素数が m 以上の大きな画像の処理等を行うことができる。

【0135】

なお、図1の画像処理装置100の外にAD変換器13がある場合について説明したが、画像処理装置がAD変換器13を含むようにしてもよい。

【0136】

【発明の効果】

以上のように、本発明によると、低消費電力化と多機能化とを両立させた画像処理装置を実現することができる。また、外部メモリの有無にかかわらず動作す

ることができるので、多くのシステムにおいて用いることができる、汎用性が高い画像処理装置を実現することができる。

【図面の簡単な説明】

【図 1】

本発明の実施形態に係る画像処理装置を備えるカメラの構成の例を示すブロック図である。

【図 2】

図 1 の画像処理部の構成の例を示すブロック図である。

【図 3】

図 1 の画像処理装置における処理の流れの例の一部分を示すフローチャートである。

【図 4】

図 1 の画像処理装置における処理の流れの例の他の部分を示すフローチャートである。

【図 5】

図 1 の画像処理装置における処理の流れの例の残りの部分を示すフローチャートである。

【図 6】

図 1 の画像処理装置におけるデータの流れの第 1 の例を示す説明図である。

【図 7】

図 1 の画像処理装置におけるデータの流れの第 2 の例を示す説明図である。

【図 8】

図 1 の画像処理装置におけるデータの流れの第 3 の例を示す説明図である。

【図 9】

図 1 の画像処理装置におけるデータの流れの第 4 の例を示す説明図である。

【図 1 0】

(a) は、回転処理の際に書き込まれる画素の順の例を示す説明図である。

(b) は、回転処理の際に読み出される画素の順の例を示す説明図である。

【図 1 1】

外部メモリを用いない場合における、画像処理の際の画素データの転送について示すフローチャートである。

【図 1 2】

水平方向に m 画素よりも多くの画素を有する画像を処理する場合のデータの流れの例を示す説明図である。

【図 1 3】

(a) は、水平画素数が m を越えている場合において、転送される画素の順の一例を示す説明図である。

(b) は、水平画素数が m を越えている場合において、転送される画素の順の他の例を示す説明図である。

【図 1 4】

水平方向に m 画素よりも多くの画素を有する画像を処理する場合の図 1 の画像処理装置における処理の流れの例を示すフローチャートである。

【図 1 5】

水平及び垂直画素数が m を越えている場合において、転送される画素の順の一例を示す説明図である。

【図 1 6】

従来のカメラの構成の例を示すブロック図である。

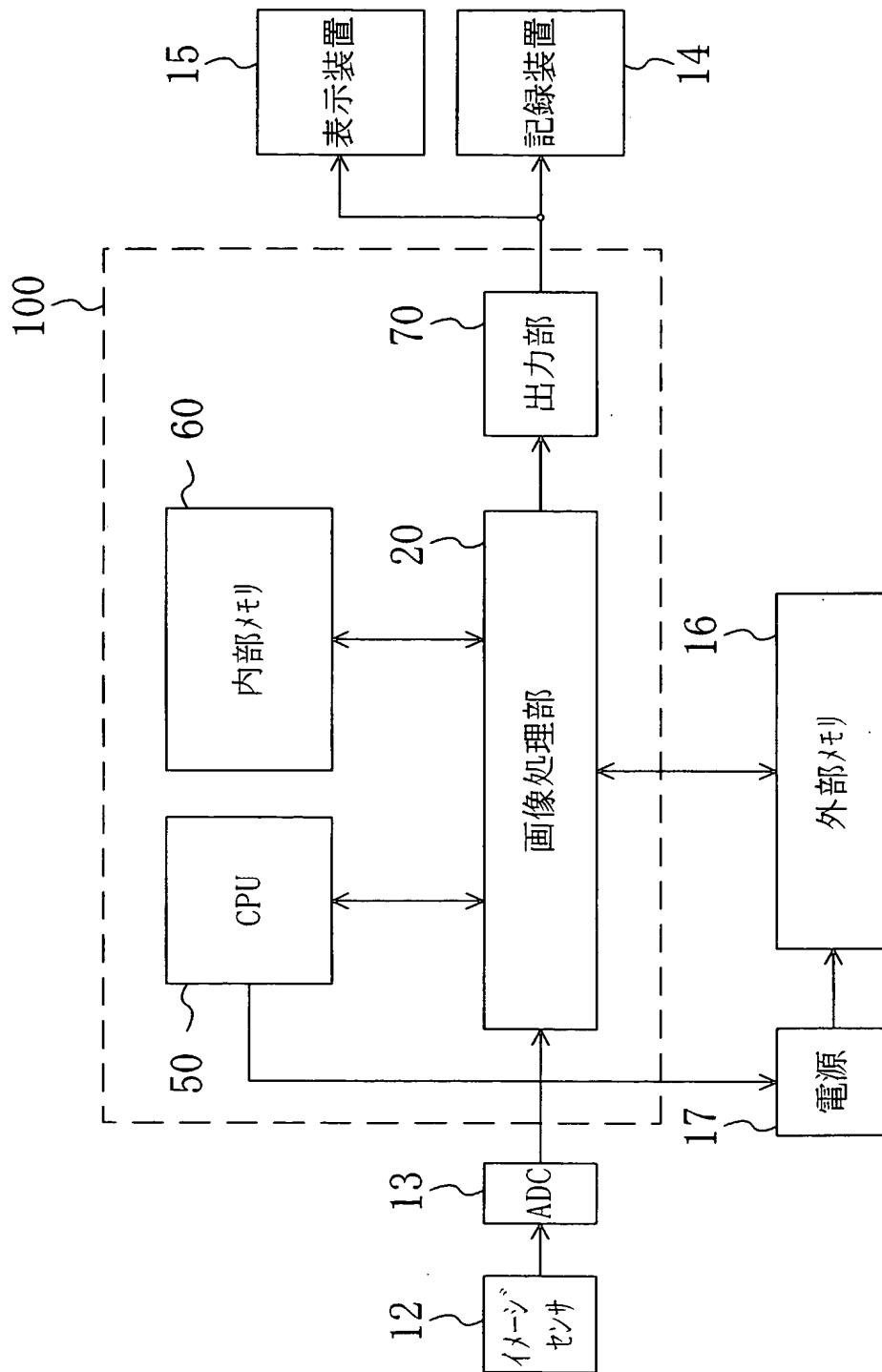
【符号の説明】

- 1 2 イメージセンサ
- 1 3 A/D変換器
- 1 4 記録装置
- 1 5 表示装置
- 1 6 外部メモリ
- 1 7 電源回路
- 2 0 画像処理部
- 2 2 前処理回路
- 2 4 輝度色差信号処理回路 (Y/C信号処理回路)
- 2 6 縮小ズーム回路

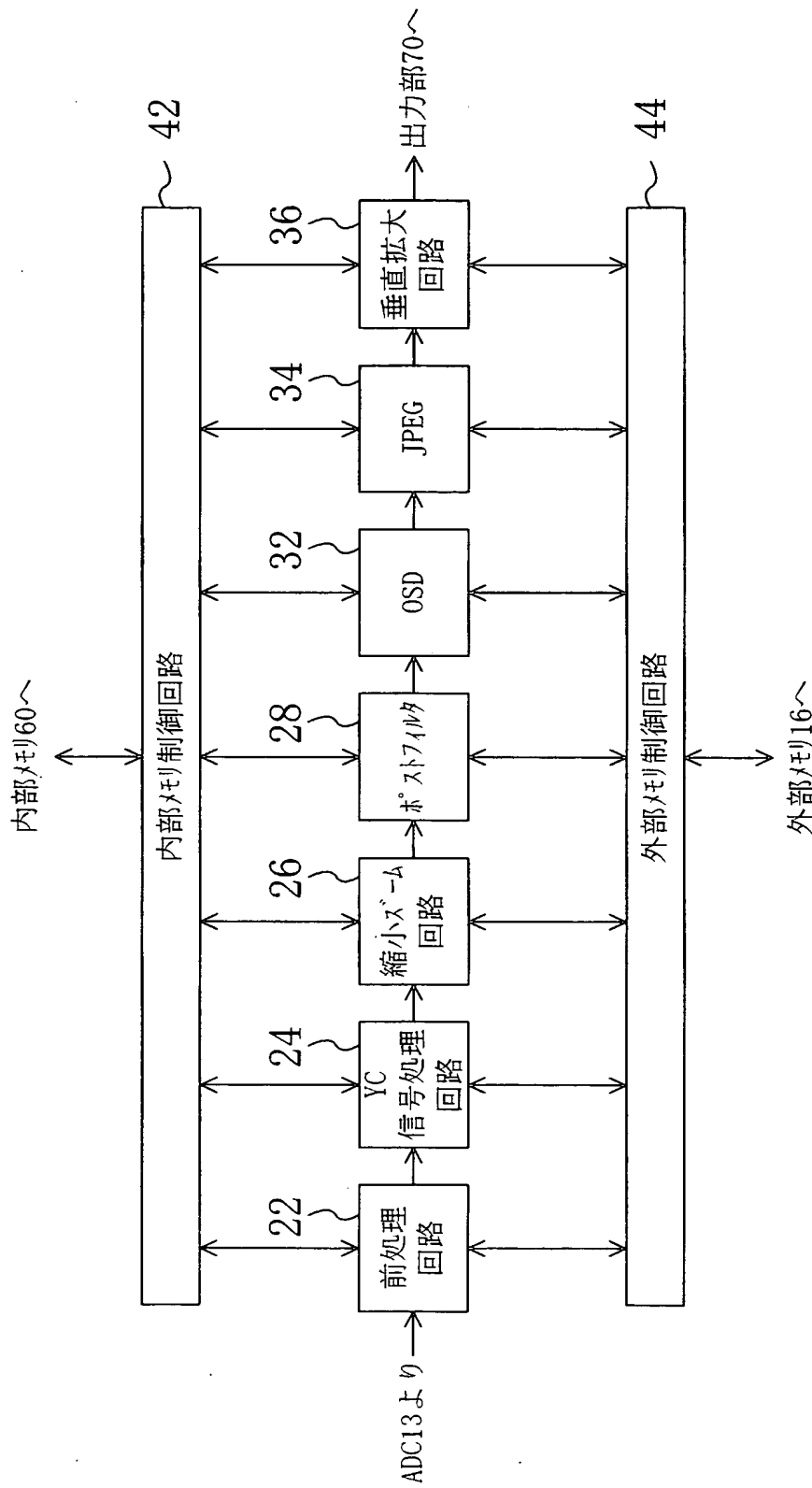
- 2 8 ポストフィルタ
- 3 2 オンスクリーンディスプレイ (O S D) 処理回路
- 3 4 J P E G 処理回路 (圧縮処理回路)
- 3 6 垂直拡大回路
- 5 0 C P U
- 6 0 内部メモリ
- 7 0 出力部
- 1 0 0 画像処理装置

【書類名】 図面

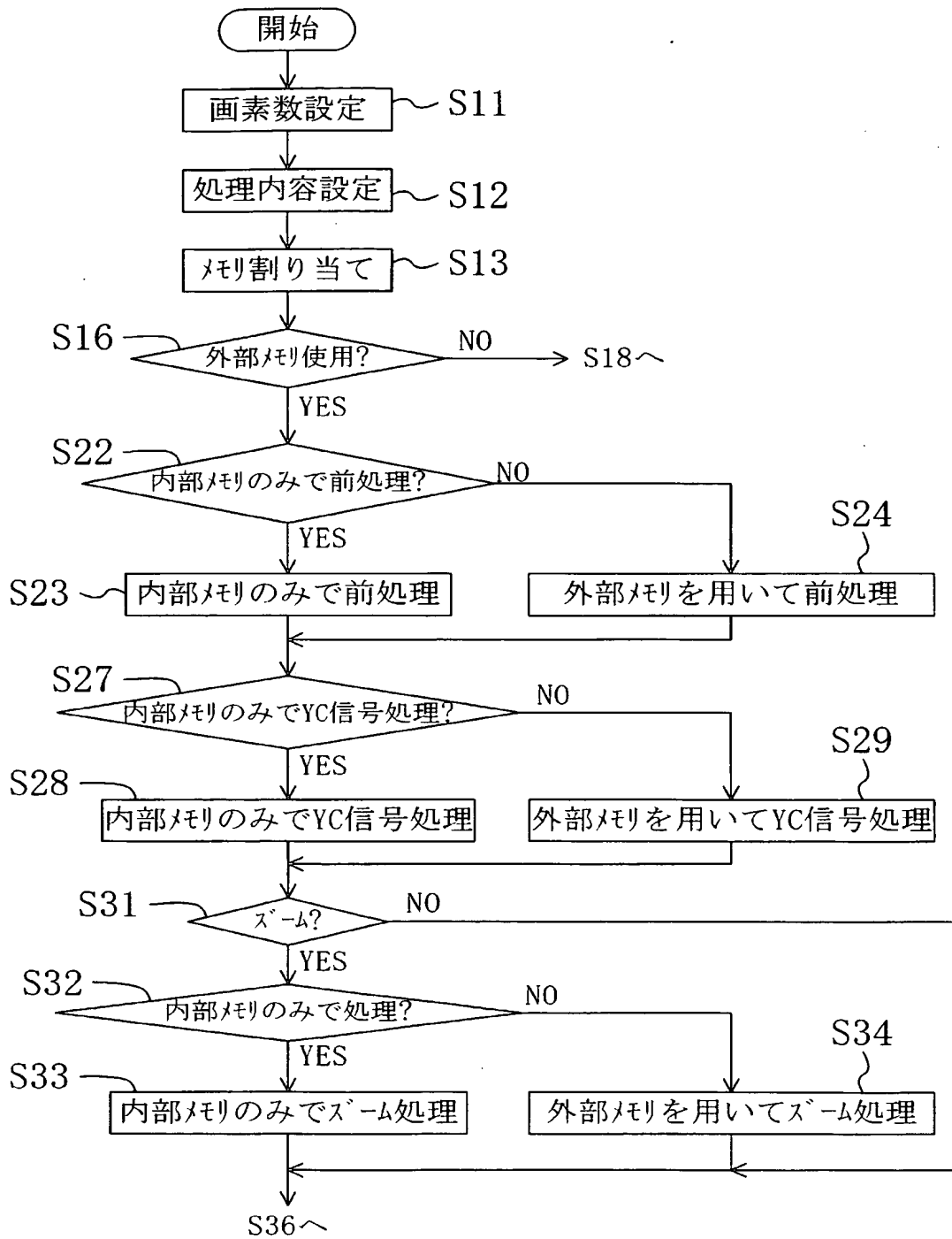
【図 1】



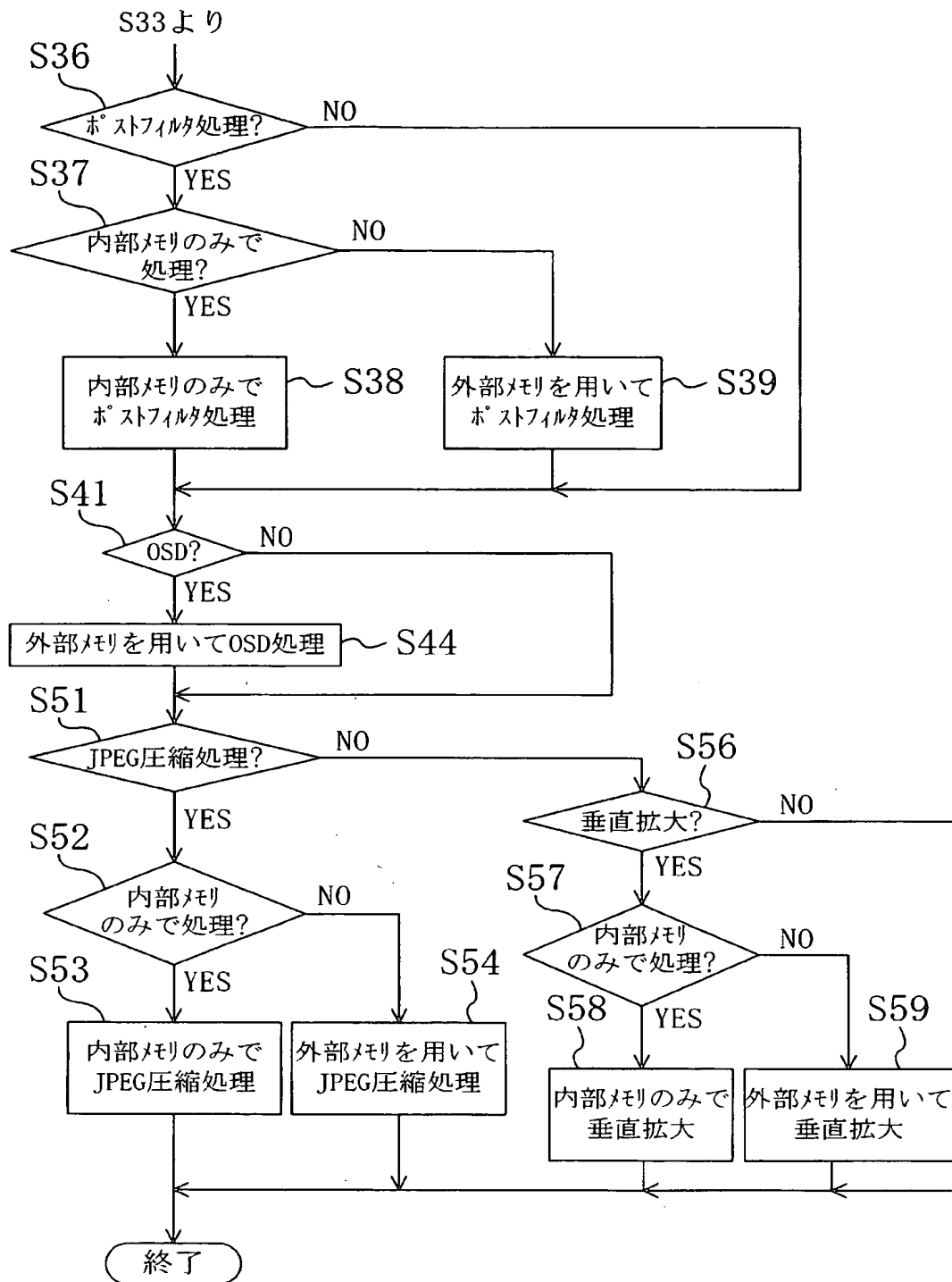
【図2】



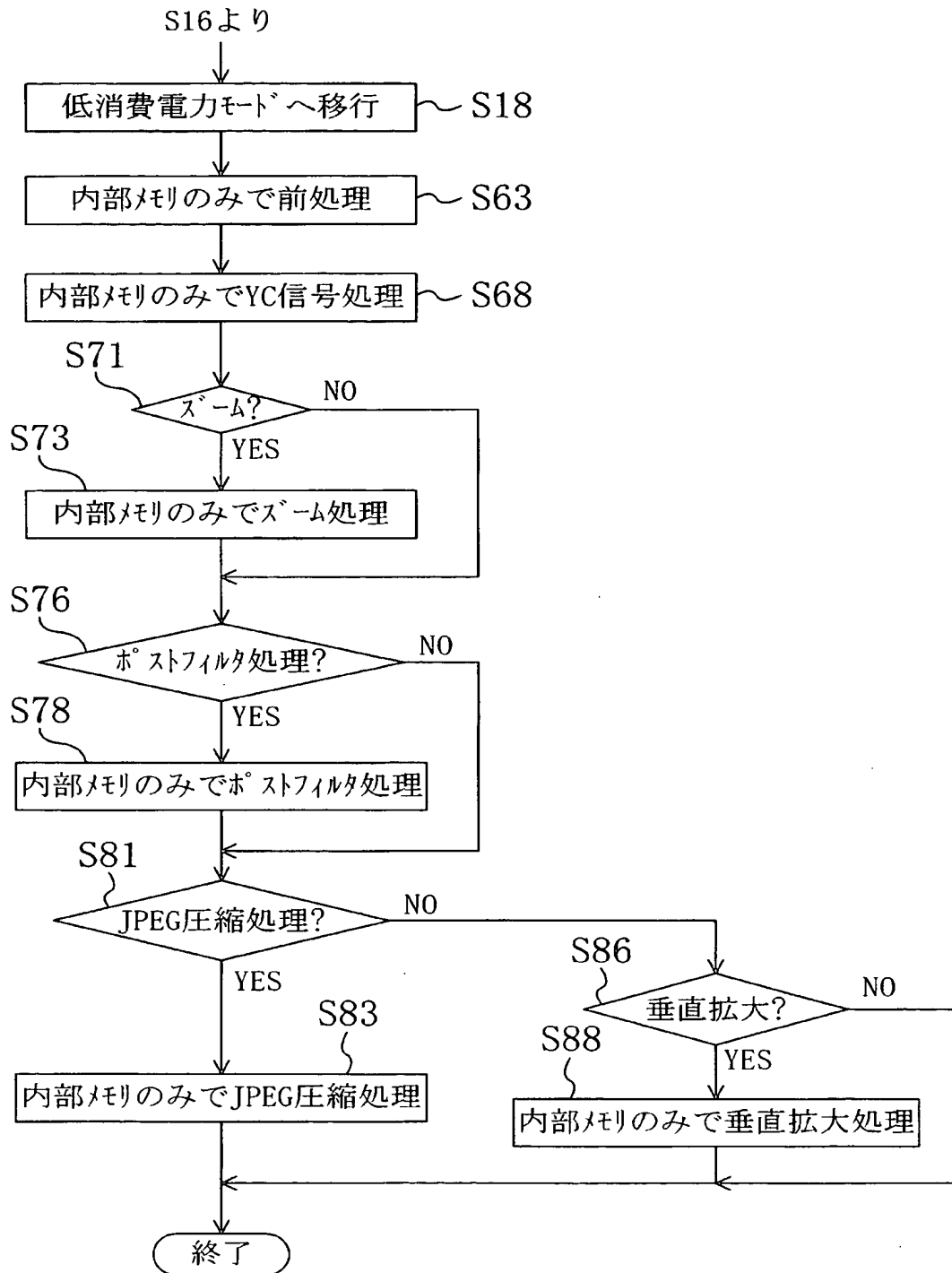
【図 3】



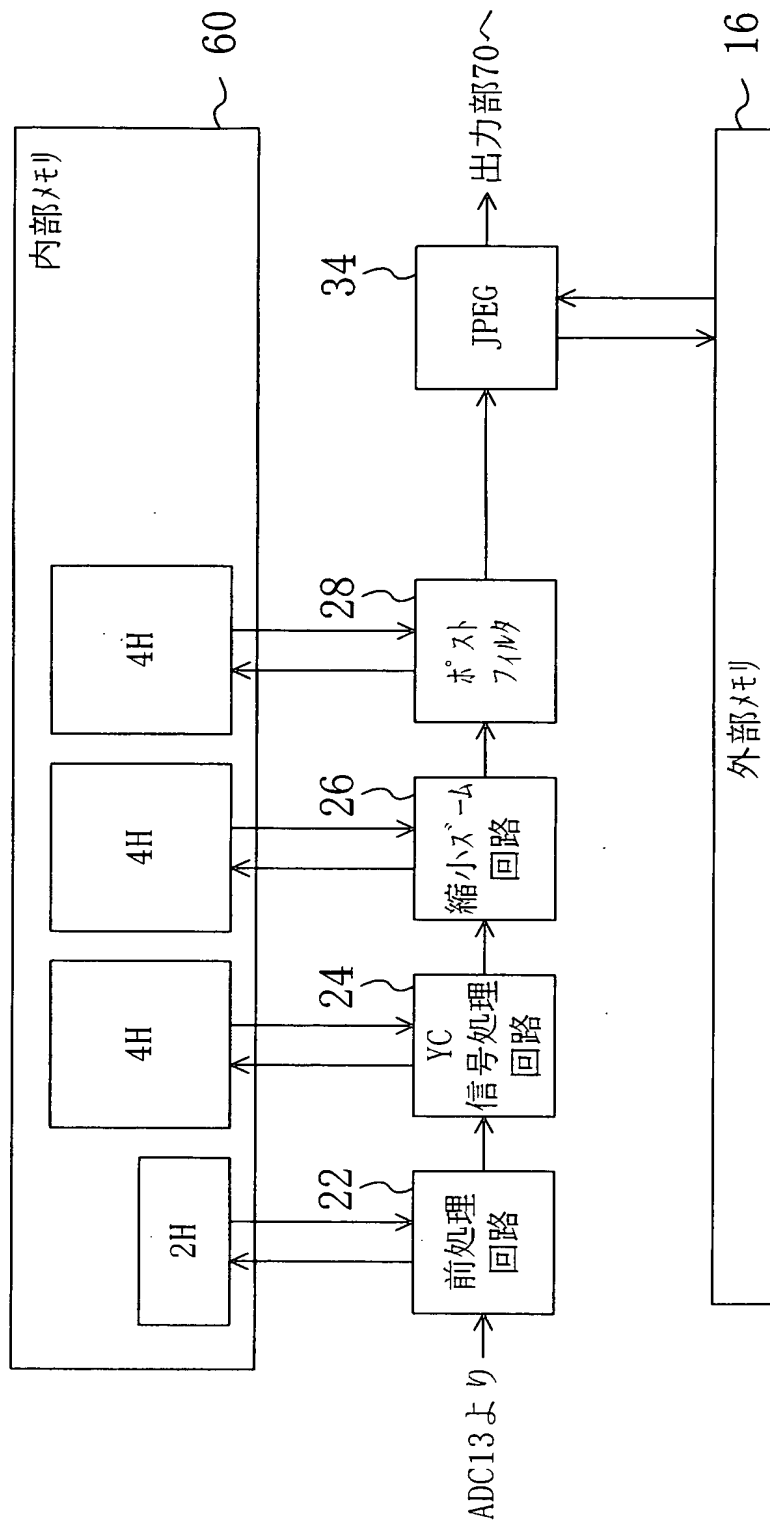
【図 4】



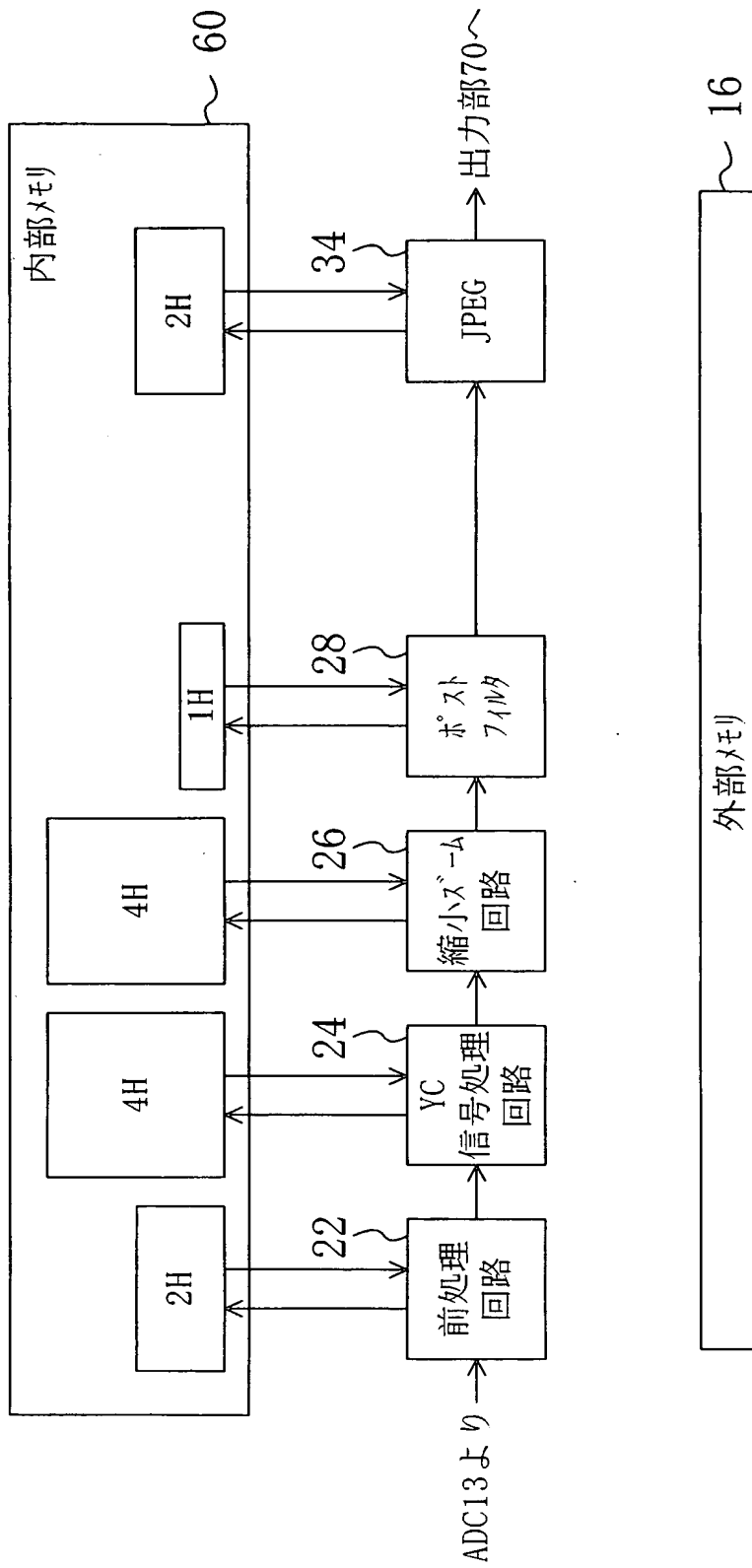
【図 5】



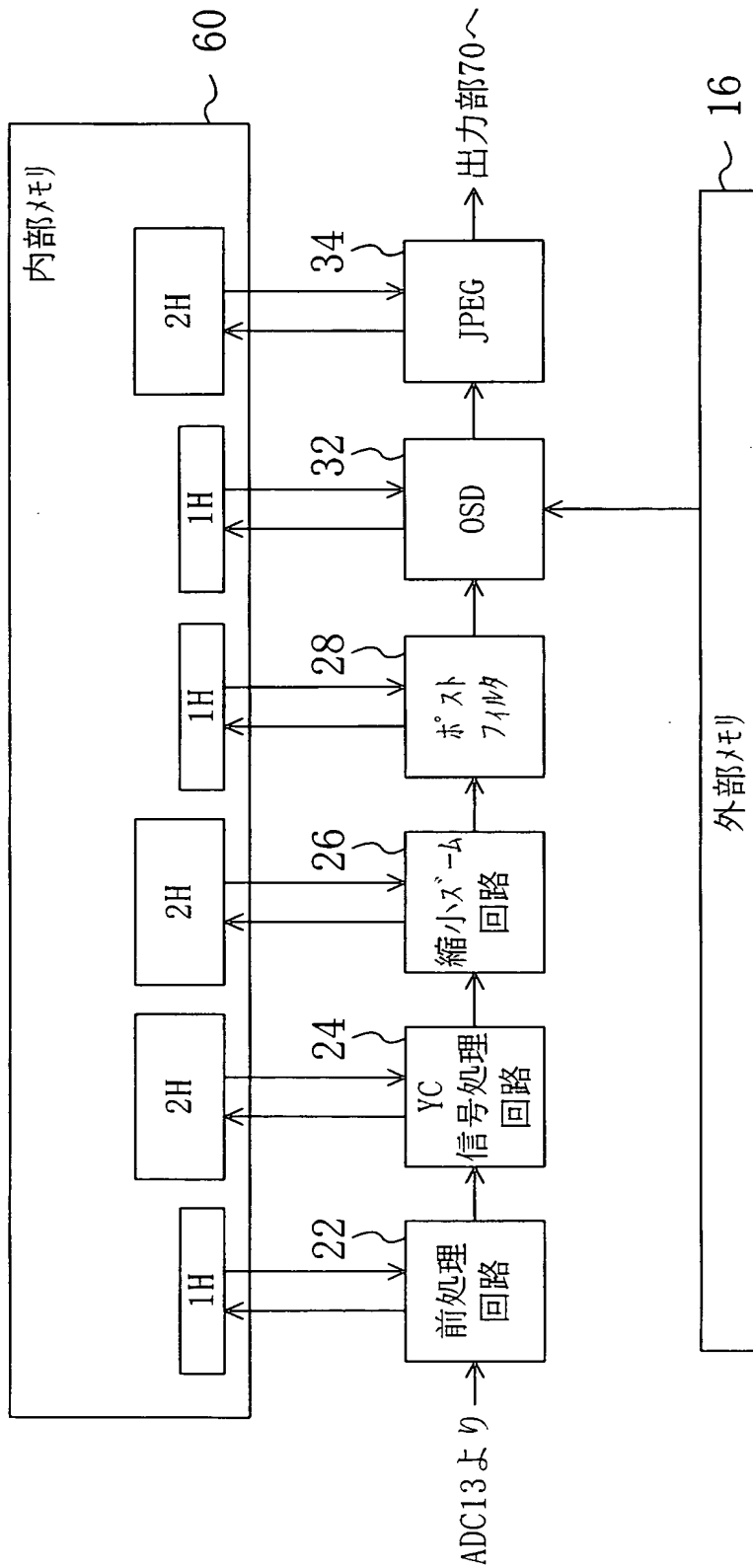
【図 6】



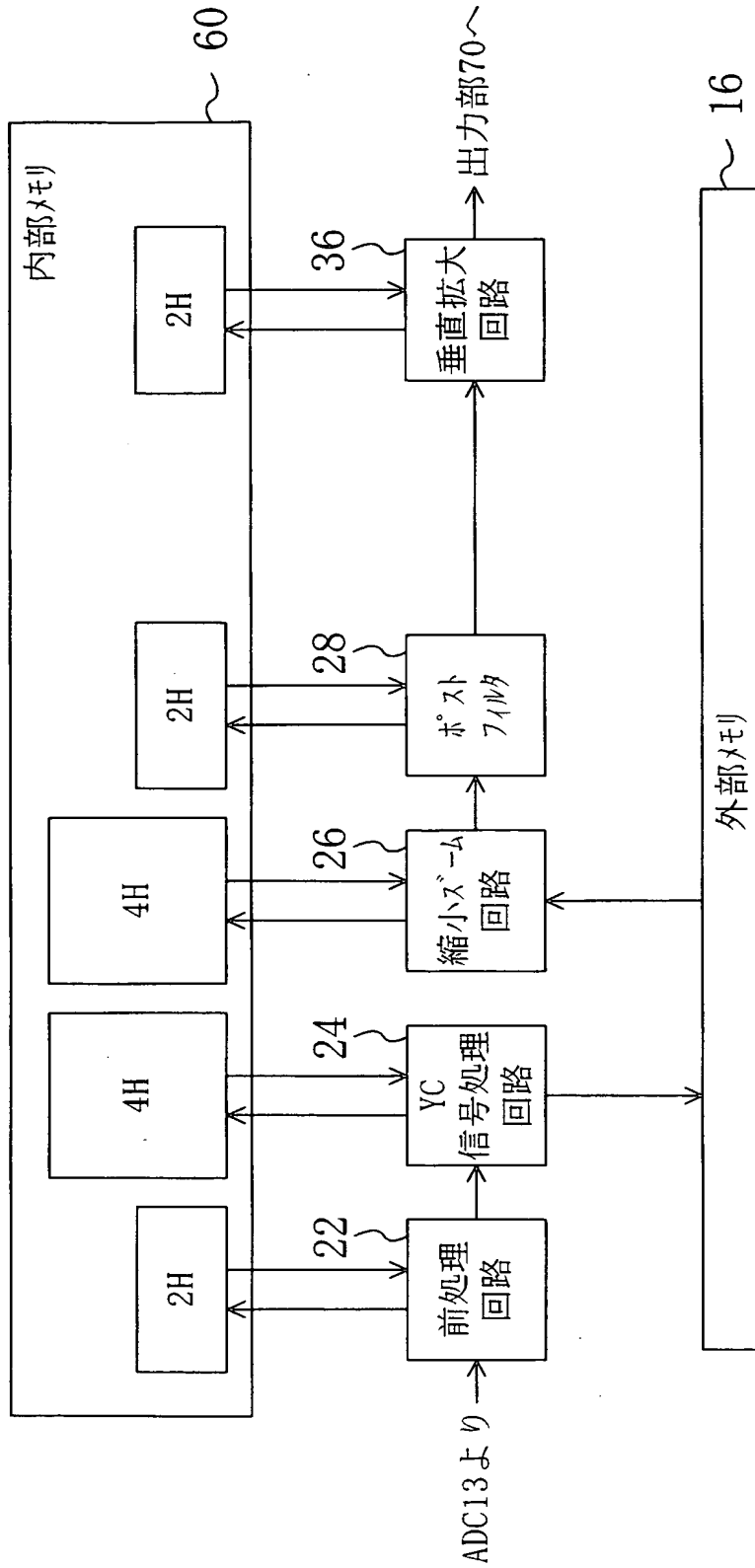
【図 7】



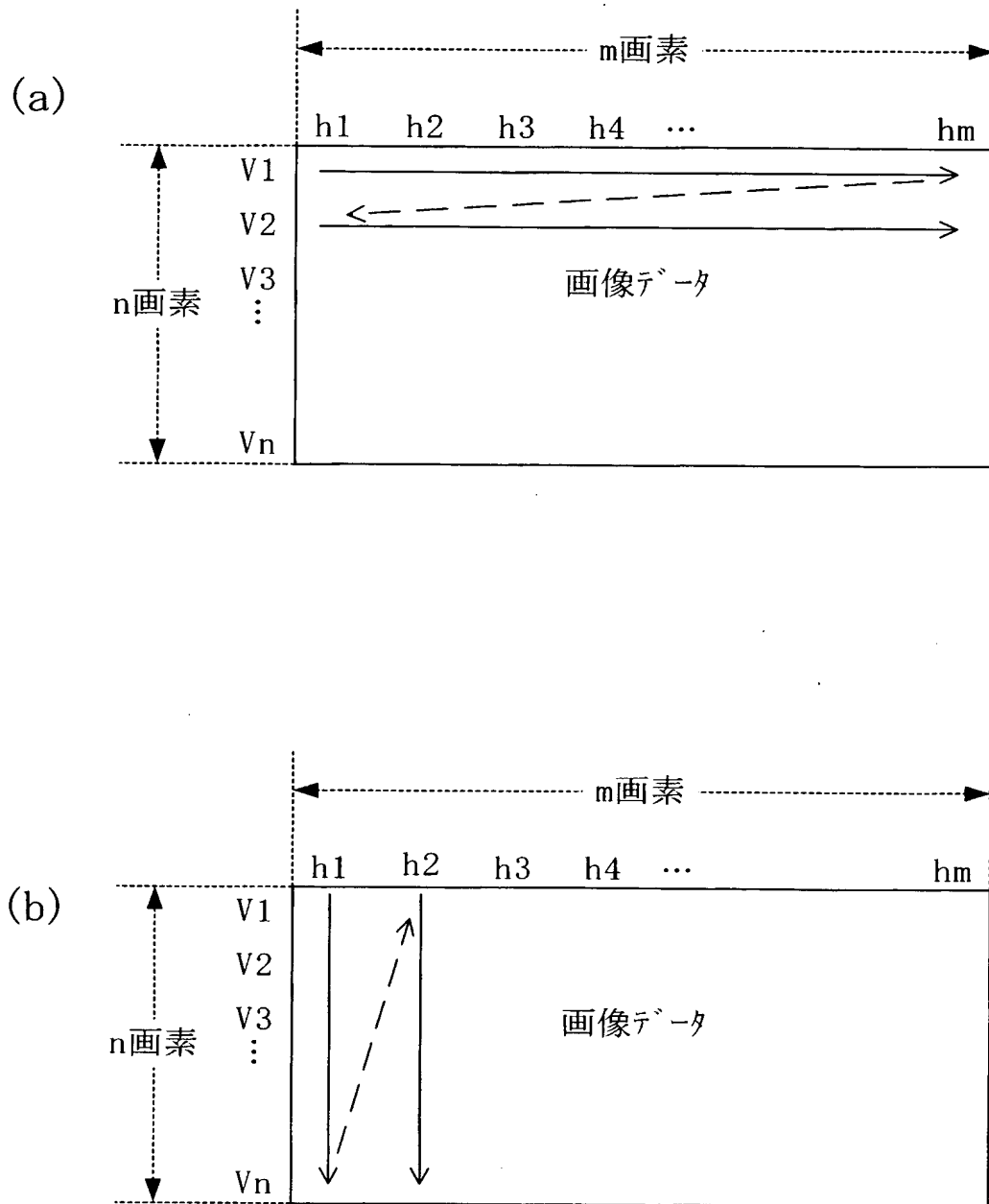
【図 8】



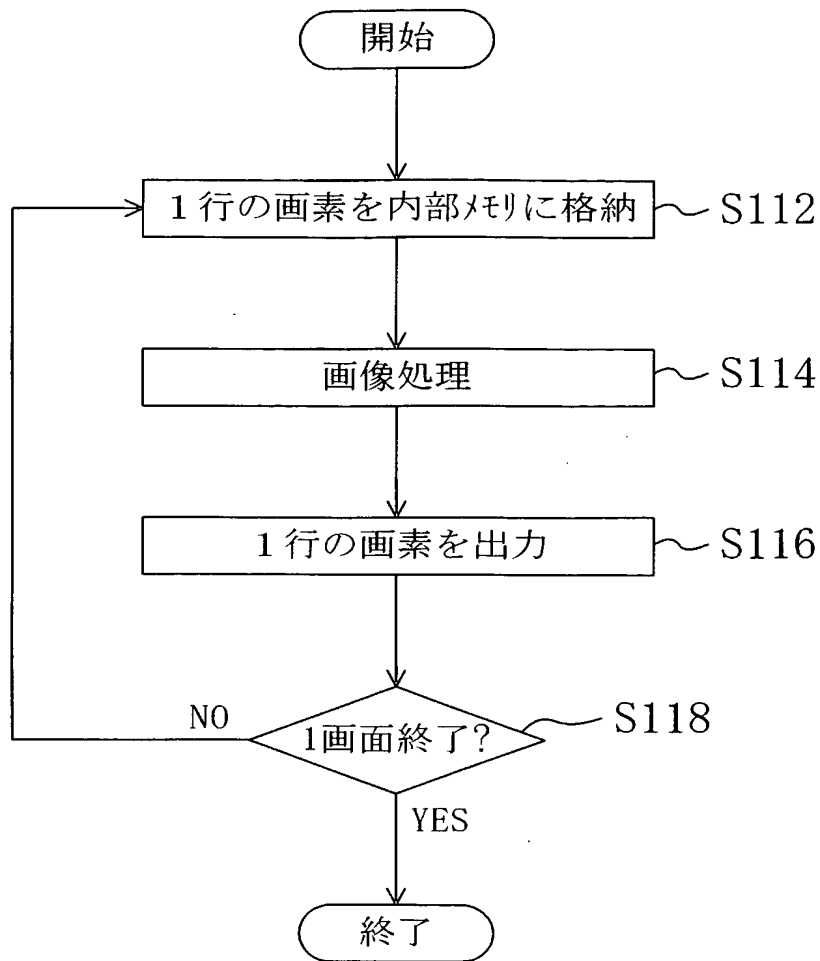
【図 9】



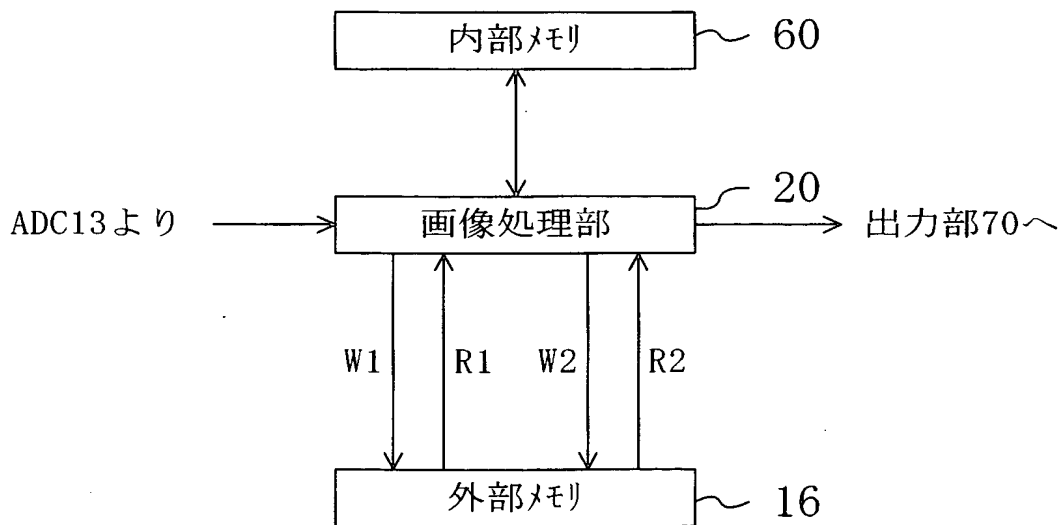
【図 10】



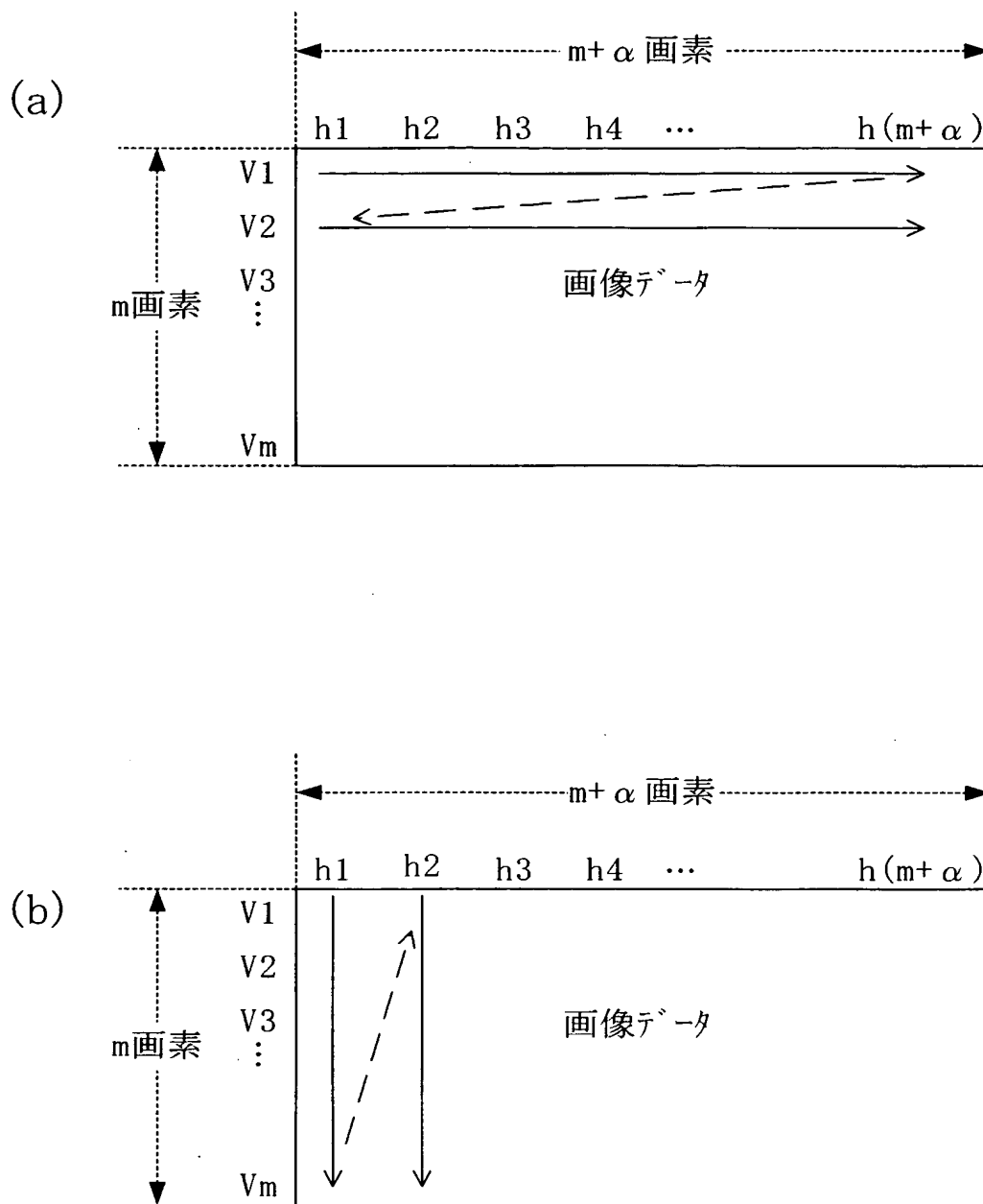
【図11】



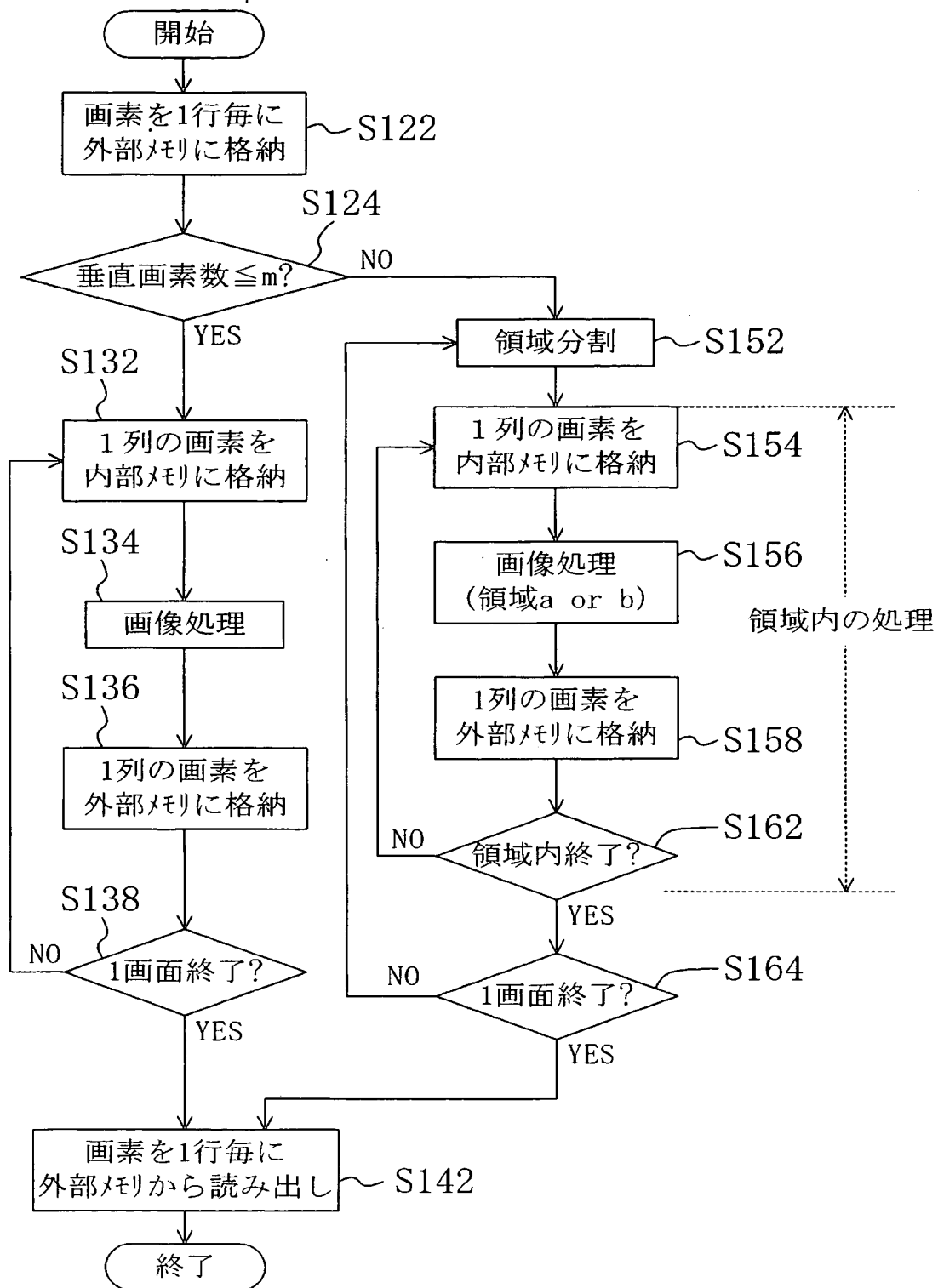
【図12】



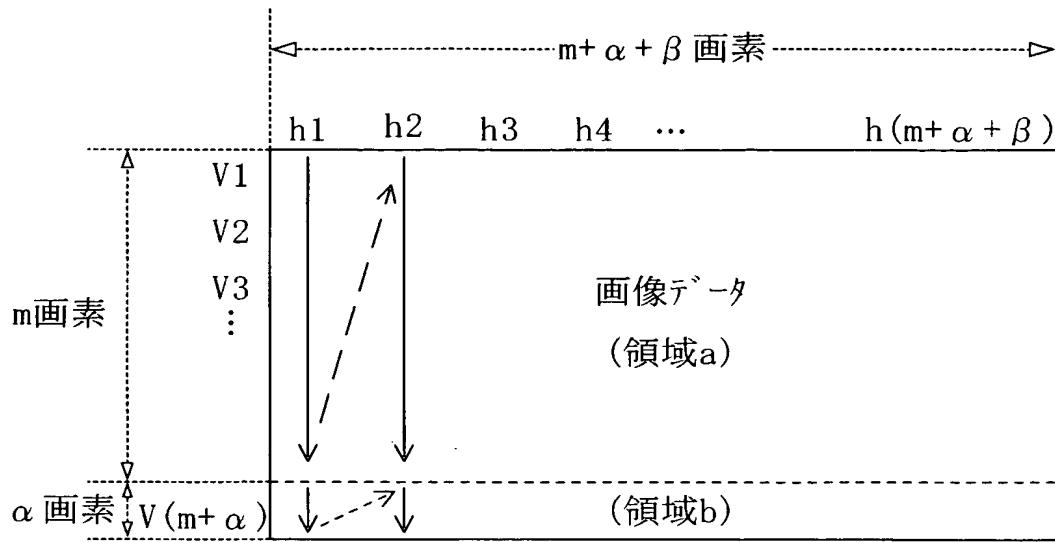
【図 13】



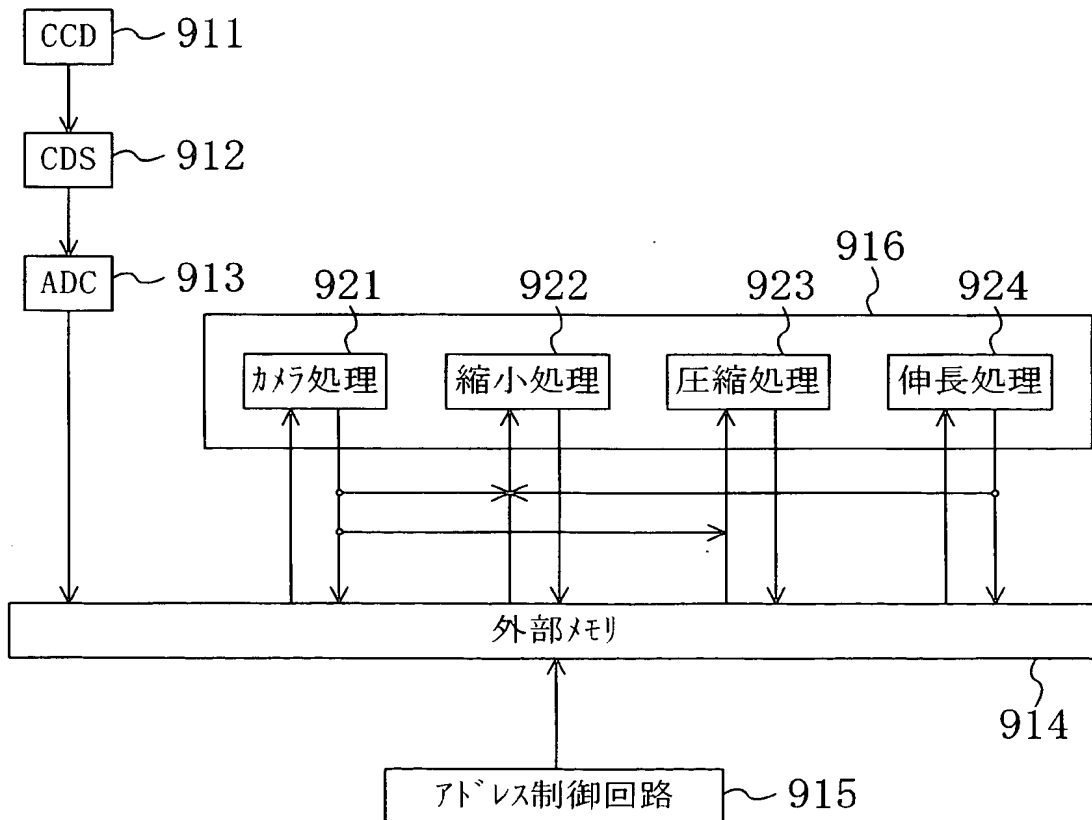
【図14】



【図15】



【図16】



【書類名】 要約書

【要約】

【課題】 低消費電力化と多機能化とを両立させる。

【解決手段】 イメージセンサが出力する画像信号に対して画像処理を行って出力する画像処理装置であって、画像を行又は列を単位として格納するラインメモリを有する内部メモリと、前記内部メモリを用いて前記画像処理を行う画像処理部と、前記画像処理部を制御するCPUとを備える。前記画像処理部は、それぞれが前記画像処理として所定の処理を行う、複数の処理回路を有するものである。前記複数の処理回路のうちの少なくとも1つは、当該画像処理装置の外部に設けられた外部メモリを必要に応じて用いることができるように構成されている。

【選択図】 図1

特願 2 0 0 3 - 0 9 8 8 3 6

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社